

光電融合情報処理基盤に向けた線形光学に基づく超低遅延演算

北 翔太^{1,2}, 野崎 謙悟^{1,2}, 高田 健太^{1,2}, コン グアンウェイ³, 前神 有里子³,
大野 守史³, 山本 宗継³, 新家 昭彦^{1,2}, 山田 浩治³, 納富 雅也^{1,2}

¹ 日本電信電話株式会社 NTT ナノフォトニクスセンタ (〒 243-0198 神奈川県厚木市森の里若宮 3-1)

² 日本電信電話株式会社 NTT 物性科学基礎研究所 (〒 243-0198 神奈川県厚木市森の里若宮 3-1)

³ 産業総合技術研究所 (〒 305-8569 茨城県つくば市小野川 16-1)

Ultralow Latency Operations Based on Linear Photonics Toward Photo-Electronic Converged Data Processing Infrastructure

Shota KITA,^{1,2} Kengo NOZAKI,^{1,2} Kenta TAKATA,^{1,2} Guangwei CONG,³ Yuriko MAEGAMI,³
Morifumi OHNO,³ Noritsugu YAMAMOTO,³ Akihiko SHINYA,^{1,2} Koji YAMADA,³ and Masaya NOTOMI^{1,2}

¹ NTT Nanophotonics Center, NTT Corporation, 3-1 Wakamiya, Morinosato, Atsugi, Kanagawa 243-0198

² NTT Basic Research Laboratories, NTT Corporation, 3-1 Wakamiya, Morinosato, Atsugi, Kanagawa 243-0198

³ National Institute of Advanced Industrial Science and Technology (AIST), Onogawa 16-1, Tsukuba, Ibaraki 305-8569

(Received December 2, 2021)

Due to the exponential increase in the wiring resistance of miniaturized electronic components, the increase in both latency and energy consumption is becoming a serious problem. To overcome the electronic bottleneck, we are developing photo-electronic processors to achieve low-latency and energy savings in-network data processing infrastructure. As fundamental building blocks, we first introduce an ultrasmall silicon-wire “ Ψ ” gate for low-loss and high-speed optical logic operation. A 3 μm -long 5-input Ψ gate and a multi-bit AND circuit configuration were also investigated and designed for large number input operation. By nesting the interferometer, electric-optical digital-to-analog converters can be formed by only using symmetric Y gates. Such gates and circuits are expected to be used in novel photonics-electronics convergence processors for ultralow latency pattern recognition and vector operations for photonic neural network applications.

Key Words: Silicon photonics, Optical computing, Linear optics

1. はじめに—光演算の背景と方向性

CMOS 集積回路に基づいた情報処理基盤は半導体微細加工技術の急速な進歩とともにとてつもない成長を遂げた。一方で微細化に伴う漏れ電流および配線抵抗の増大がすでに著しい領域に到達しており、これ以上の微細化は物理的に困難である。またマルチコア化によるスループットの向上も著しく効率が悪くなる領域に突入した。したがって、従来のスキームに依らないスケール則の維持のため、根本的に新しい技術やプラットフォームおよびアーキテクチャーの導入がもう間もなく必要とされる。

そこに導入される新たな一手に採用されるべく、多種多様な分野の研究グループが様々な原理や材料系・プラットフォームによる新奇演算基盤技術の研究開発を進めている。その中の一つとして、最近息を吹き返しつつあるのが「光演算」である¹⁻⁴。光演算の概念が提唱され

たのは 1980 年代と実に古いが、なぜ今になって再び注目されることになったのか？これには大きく二つの要因がある。一つはシリコンフォトニクスの成熟である。光導波路・カプラ・交差などの様々な受動部品の損失が低くなり、数 1000 個を超える移相器が集積可能になった。これにより数 10 ~ 数 100 入力をもつ光マトリクススイッチが実証された⁵。さらに高品質のオンチップ光回路がファウンドリサービスを通じて容易に入手できるようになったため、光回路研究への参入障壁が下がった。二つ目は現状もブームが継続している機械学習に多用される積和演算が光回路によって劇的に高効率化できるとした論文が発表されたことである⁶。これにより、現在は複数のベンチャー企業が存在するほど光演算への期待が高まっている。

光演算の主なメリットを整理すると

(1) 信号が光速で伝搬(低遅延)

(2) 干渉でアナログベクトル(複素数)演算が可能(低消

費電力)

(3)線形回路を複数の波長で共有(多重演算によるスケール)

(4)比較的高温でも動作可能

光ならではの差別化要因は(1)であるが、今後具体的な応用を掘り起こしていく必要がある。(2)は重みの維持で電力を消費しない不揮発な移相器の利用が前提であり、微小電気機械型移相器などの利用が有力視されている^{7,8)}。(3)も光ならではの長特であり、これを用いてスループットを補強することが多くの研究グループの狙うところである。特定の演算にうまく活かすことで、(1)や(2)を同時に強化するポイントにもなると考えている。一方、デメリットは

(1)面積あたりの入出力の規模(または面積スループット)は電子回路に勝てない

(2)非線形演算(機能)は限定的

(3)光電/電光変換によるオーバーヘッド

(4)演算精度はショット雑音により制限

この中で(1)と(2)が「何ができるか」の観点で決定的な制限要因ではあるが、(1)については電力スループットで対抗することになる。(2)と(3)に関しては、我々は低容量なナノフォトニクス素子⁹⁻¹¹⁾を後述する独自の変換回路などを利用するという解を示してきている。(4)に関しても、例えば精度を要求しないが応答速度を要求するアプロキシメイト演算応用に絞ることなどが検討されている。その一つが先ほど挙げた機械学習に利用される行列演算である。

これらの光演算の特徴より、いわゆる「全光演算」は非線形変換が多用される演算への応用は極めて限定的であり、基本的には光では非効率な部分を電気で賄う必要があることがご理解いただけると思う。つまり「光電融合演算」が今後の展開の前提であることに注意していただきたい。これらを踏まえると、次のような通信と演算の境界に位置する「インネットワーク演算処理基盤」としてのターゲットが考えられる(Fig. 1)：

(1)光通信ノードにおけるインライン処理および有線プリプロセッサ

(2)IoT 機器間の無線プリプロセッサ

(3)専用演算器(光アクセラレータ：PAXEL¹²⁾)

このうち応用がイメージしやすいのは、入力ですでに光信号である(1)と(2)である。一方、(3)に関しては米国ベンチャー企業(主に Lightmatter など)が微小電気機械

型移相器をキーデバイスとして力技を駆使して進めているところではあるが、さらなる性能向上を目指すためにはハードルは高くなるものの高度な光電融合集積が必須である。

本解説論文では、光電融合演算基盤の実現に向けて本グループで検討してきた線形素子および回路による光電融合演算について紹介し、簡単に解説する。一つはシリコン Ψ (プサイ)ゲートによる光論理演算動作、二つは線形光学回路による重み付けを用いた電気光学デジタル・アナログ変換器(EO DAC)であり、上記応用において重要な構成要素となることを想定している。

2. シリコン細線“ Ψ ”ゲートによる光論理演算

光干渉に基づく線形変換そのものは、あらゆる演算で必要な機能ではあるが、これ自体ではユニバーサル(非線形)な演算を実現できない。しかし、オンチップで安易に利用できる短尺な非線形光学ゲートの実現は現状でも難しく、この登場を待つ前に「複素数が扱える線形素子だけでもっと機能性を補強できないか?」という着想があり、これが本研究の出発点となった。

様々なデバイスを検討してたどり着いたのは、極めてシンプルな $3\mu\text{m}$ 長のシリコン細線 Ψ ゲートである(Fig. 2)¹³⁾。2入力の Yゲートが OR や XOR として機能できることはよく知られているが、Fig. 2(a)のように3入力とし、中央の入力ポートに対して固定の「バイアス光」を導入することで、Fig. 2(b)に示すような明瞭な AND 動作が実現できる。そのデバイス形状がギリシャ文字のプサイと似ていることから、波動光学でよく用いられる Ψ を文字で名付けた。演算遅延を信号伝搬遅延だけで考慮すると、単一ゲートあたりわずか 30 fs 未満である。さらにバイアス光の強度を調節するだけで、同じ Ψ ゲートを介して XNOR または NOR 動作に切り替えることができる。位相条件も変更することで NAND 動作も可能である。つまりバイアス光の導入によって機能性を大幅に拡張できる。さらにシリコン細線を母体に用いたことで 3 入力 1 出力の非対称な干渉計が小型かつ低損失に実現できる。もしも同様な干渉計を理想的なハーフミラーを縦続接続して構築して AND 演算を実行した場合は、信号光は 1.25 dB 減衰する(1 を入力した場合の出力が 0.75)。一方、Fig. 2(b)のシミュレーションの例では 0.65 dB とこれより低損失な動作が示されてお

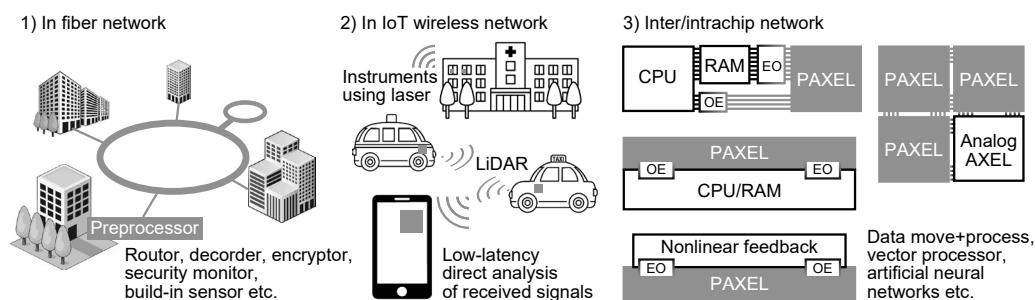


Fig. 1 In-network data processing infrastructures as our final target of photo-electronic converged processor (LiDAR: light detection and ranging, PAXEL: Photonic accelerator¹²⁾).

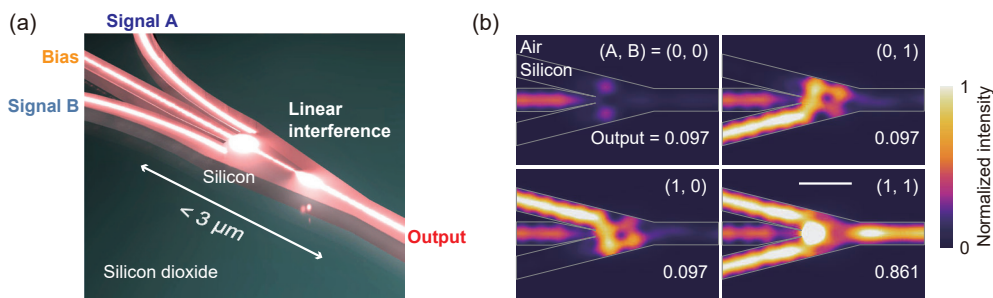


Fig. 2 Silicon wire Ψ gate for optical logic operations. (a) An illustration of the Ψ gate operation. (b) An example of 3D simulated “AND” logic operation (1.54 μm for the input wavelength). The horizontal white bar at in the right bottom inset indicates a 1- μm -long scale bar.

り、優位性がはっきりとしている。また Ψ ゲートの応答速度は光の干渉によるため、入力帯域はほぼ無制限である。構造パラメータを適切に選択することでおよそ 1500 ~ 1600 nm といた幅広い波長帯域で透過率がほぼ一定となり、多波長同時入力による独立かつ並列な演算も可能となる。

上記はいずれも線形素子特有の「当たり前の魅力」ではあるが、その当たり前を明瞭に実験実証した例がこれまでになかった。そこで 3 光束の干渉に基づく演算動作を高ビットレートで観測するために、オフチップの光トランスミッタから光速なビット信号を入力する実験系を構築した (Fig. 3)。光フィードバックループを形成することで、 Ψ ゲートへの入力光の相対位相を特定の状態にロックした状態における光出力信号をオシロスコープで観測した。

単一の Ψ ゲートによる論理演算動作の例を Fig. 4 に示す。バイアス光強度を調節することで AND \rightarrow XNOR \rightarrow NOR と演算動作が確かに切り替わることを確認した (Fig. 4(a))。さらに 5 nm ずつ波長が異なる 7 つの信号光に対して明瞭な AND 動作を確認した (Fig. 4(b))。これは演算動作が波長多重で実現できることを間接的に示したものである。

3. シリコン細線“ Ψ ”ゲートの多入力化

実験実証したのは 3 入力 1 出力の Ψ ゲートだが、3 入

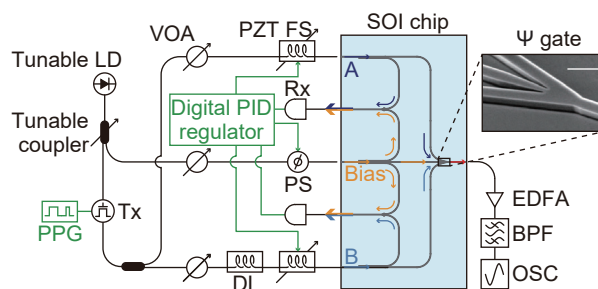


Fig. 3 Measurement setup for observation of high-speed optical logic operation with a fabricated Ψ gate (LD: Laser diode, PPG: Pulse pattern generator, MUX: Multiplexer, Tx: Optical transmitter, VOA: Variable optical attenuator, PZT FS: Piezo electric fiber stretcher, PID: Proportional integral differential, Rx: Photo receiver, PS: Phase shifter for dithering, DL: Tunable fiber delay line, SOI: Silicon on insulator, DUT: Device under the test, EDFA: Erbium doped fiber amplifier, BPF: band pass filter, OSC: oscilloscope). The horizontal white bar at in the right upper picture indicates a 1- μm -long scale bar.

力より入力数を増加した 5 入力型に関してもシミュレーションで検討を進めた¹⁴⁾。多入力化の意義は低遅延化と低損失化の 2 点に集約される。低遅延化は小型な多入力素子を導入することで引き回しが縮小されるためである。低損失化に関して、例えば多ビット入力の AND 演算の場合、位相ビット入力(入力振幅を一定とし、信号

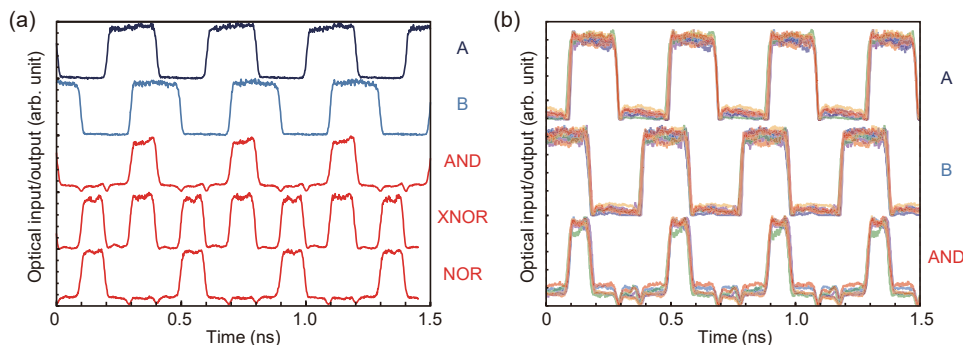


Fig. 4 Experimental linear optical logic operations observed with a single Ψ gate. (a) Time waveforms of optical input signals and outputs demonstrating 10-Gbit/s AND, XNOR, and NOR logic operations. (b) Time waveforms of optical input signals and outputs demonstrating input wavelength-insensitive 10-Gbit/s AND logic operations. Colors denote different input wavelengths (purple: 1535 nm, blue: 1540 nm, light blue: 1545 nm, green: 1550 nm, orange: 1555 nm, red-orange: 1560 nm, red: 1565 nm).

光の相対位相差を同相および逆相に変調，バイアス光の相対位相は同相)とすることで，ビット信号“1”の出力時において波の打ち消し合いによる放射損失が生じず，理想的には挿入損失がゼロになることがわかっている¹⁵⁾．これを出力結果のバイナリコントラストを最大化しつつ実現する条件は，信号光およびバイアス光ポートの透過率がいずれも 1/3 で等しい場合である．入力ポートの数が N の場合は，全ポートの透過率が $1/N$ で等しければ同様に無損失動作となる．

ただし，このような短尺かつ多入力の多モード干渉素子に対し，全入力ポートの透過率を等しく保ちながら低損失な設計をするのは直観的ではない．このような非直観的で未知数な素子の設計には，多変数を導入した確率的アルゴリズムやトポロジー最適化¹⁶⁾がスタートポイントとして有効である．実際に 5 入力の Ψ ゲートについて多変数の自動最適化を適用したところ，Fig. 5(a) のような全入力ポートの透過率がほぼ等しい上に小型かつ低損失な設計例が発見された．こちらの結果は一見複雑な形状に見えるが，作製精度に起因する角の丸めを考慮したものであり，作製可能である(角の丸まりを一切考慮しなければ，損失は限りなくゼロに漸近する)．さらにこのような小型化によって波長依存性が十分小さくなることも同時に判明しており，本素子は波長多重演算にも利用可能である．結局どれくらい多入力化できるかは導波路幅によって制限されるので，おそらく 9 入力程度が限界であると推測する．

このような 5 入力 Ψ ゲートの設計と並行して，実験実証した 3 入力の Ψ ゲートを多用した多入力 AND 回路の構成についても検討した．その結果，現時点で最も効率が良い回路構成は Fig. 5(b) が一例であると考えられる．すなわち初段と終段のみに Ψ ゲートを使用し，その他の部分では Y ゲートを使って複数の入力を一つの出力ポートに集約することで，いかなる規模の演算に対しても挿入損失を 6 dB 未満に抑えられる．また多ビット AND による演算遅延を Ψ ゲートの使用のありなしで比較したものを Fig. 5(c) に示す．これより $N=128$ (現実で可能だとされるライン)において遅延は 14.6 ps と見積もられた．これは CMOS 回路で達成しうる最短遅延時

間の 10 分の 1 程度に相当する¹⁷⁾．更に初段に上記の 5 入力 Ψ ゲートを用いれば 1 段減少できる．さらに波長多重演算とすることで，波長数分だけ段数を減少できる．つまり遅延を減少する余地はまだある．低消費エネルギーで高速動作が可能なナノフォトニクス変調器¹¹⁾を集積して入力用の変調器に用いれば，おそらく数 ps 以下の低遅延化が見込まれる¹¹⁾．

4. 電気光学デジタル・アナログ変換器 (EO DAC)

線形ゲートで何ができるかを検討した中で見出したもう一つの回路が電気デジタル信号を光アナログ信号に直接変換する EO DAC 回路である (Fig. 6(a))．Y 分岐・合流をカスケードさせ，入れ子状の干渉計を形成することで，いわゆる DAC で必要な各入力ビット間の重み付けが実施できる．これにより電気デジタル信号を光アナログ信号に直接変換することから，低遅延な動作が実現できると考えている (つまり従来の電気 DAC を省略する構成となる)．入力ビット数 (ビット分解能) N に対する損失を従来回路 (= 各ビットアームに光を均一分岐したあとに損失で重み付けした構成¹⁸⁾) と比較したものが Fig. 6(b) である．従来構成の場合， N に対して損失は単調増加するが，提案構成は単調減少と反対の振る舞いを示す．各ビット入力に対応する位相変調器は並列に接続されているため，電気信号源由来のノイズが蓄積しにくいことがシミュレーションでわかっている．つまり現状で最も信号対雑音比 (SNR) が高くできる構成であると考えている．さらに良いこととして 1:1 分岐の対称な Y ゲートしか使用しないため作製が容易かつ安定しており，原理的に波長依存性がないことから通信と演算の双方への応用が期待される．

本 EO DAC 回路を産総研 SCR のパイロットラインにより作製し (Fig. 6(c))，光ファイバアレイを実装した状態で各位相変調器にデジタル電気信号を与えて鋸歯状波を生成したところ，コンセプト通りの明瞭な動作が観測された (Fig. 6(d))．また現状では 8 ビット動作まで確認されている (Fig. 6(e))．さらに 1550 nm で動作を校正した後に，波長を 1570 nm まで変化させても，出力波形に

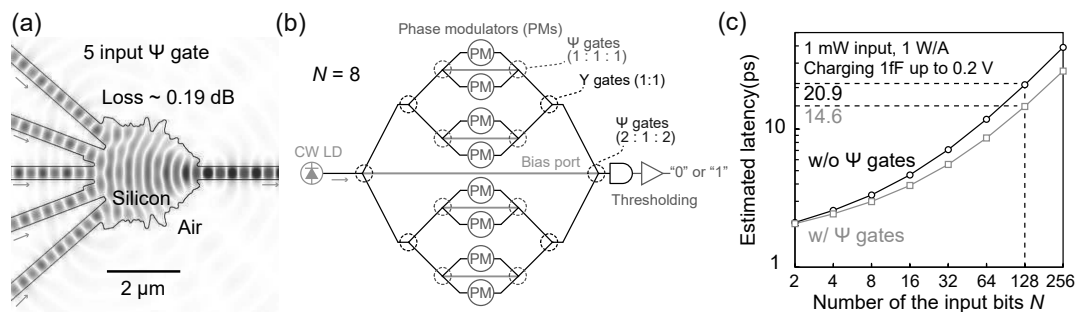


Fig. 5 Investigation for multiple input AND operations. (a) Simulated electric field profile of an automatically designed 5-input Ψ gate. (b) Multibit AND circuit using cascaded Ψ gates for 8-bit operation (PM: phase modulator). (c) Estimated latency including photoelectric conversion against a different bit scale using nanophotonic receiver.¹¹⁾

¹¹⁾ <https://xtech.nikkei.com/atcl/nxt/mag/18/00001/00129/>

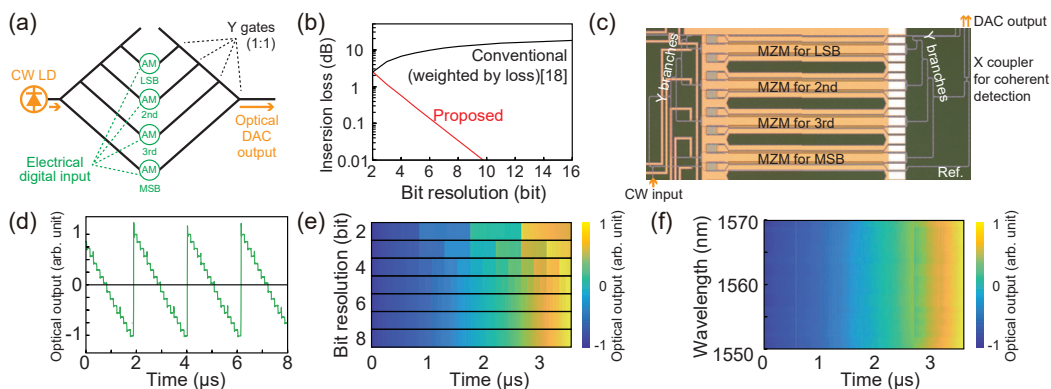


Fig. 6 Electrical-optical analog-to-digital converters (EO DAC) based on linear gates.¹⁹⁾ (a) Proposed configuration for EO DAC for the 4 bit operation. (b) Insertion loss of EO DAC circuits as a function of bit resolution. (c) A picture of a fabricated 4-bit (or 8-bit) EO DAC silicon photonics circuit (MSB: most significant bit, LSB: least significant bit). (d) Generated 4-bit sawtooth wave by inputting a same amplitude voltage (0.1 V) into the circuit shown in (c). (e) Comparison of the waveforms (color map) with different input bit number (= bit resolution). (f) Wavelength-insensitive behavior under 8-bit operation (the circuit has been calibrated at 1550 nm, and then swept the input wavelength up to 1570 nm without any phase modifications).

ほとんど変化が生じなかったため、波長依存性も十分に小さいことが確認されたことから、波長多重演算への応用も可能である¹⁹⁾。今後、動作エネルギーの小さなナノフォトニクス変調器を導入することで、高SNRと低消費電力を両立できると考えている。波長多重入力を前提とした光ベクトル演算器の複素入力装置や高シンボルレート短距離通信用のトランスミッタ応用が今後期待される。

5. おわりに

光演算の最大の特徴はまず低遅延性であることを踏まえ、それを活かすようなゲートや回路をこれまで検討してきた。その例としてシリコンフォトニクスにより忠実に実現可能な Ψ ゲートとEO DAC回路の実験実証について紹介した。ただしこれらはあくまで一定の規模のまとまった演算をするための光演算回路の一部にすぎず、本当に光演算が台頭できるかは今後の我々を含めた研究者の努力にかかっていると考えている。今後これらの素子を活用し、人工光ニューラルネットワークとして最も性能を引き出す構成を考案・検証・実証していく。

謝辞

本研究はCREST, JST(#JPMJCR15N4)により支援を受けました。また議論していただいたNTT研究所の梅木氏、稲垣氏に深謝いたします。

参考文献

- 1) A. Silva, F. Monticone, G. Castaldi, V. Galdi, A. Alù, and N. Engheta: *Science* **343** (2014) 160.
- 2) N. M. Estakhri, B. Edwards, and N. Engheta: *Science* **363** (2019)

- 1333.
- 3) X. Xu, M. Tan, B. Corcoran, J. Wu, A. Boes, T. G. Nguyen, S. T. Chu, B. E. Little, D. G. Hicks, R. Morandotti, *et al.*: *Nature* **589** (2021) 44.
- 4) J. Feldmann, N. Youngblood, M. Karpov, H. Gehring, X. Li, M. Stappers, M. Le Gallo, X. Fu, A. Lukashchuk, A.S. Raja, *et al.*: *Nature* **589** (2021) 52.
- 5) K. Suzuki, R. Konoike, N. Yokoyama, M. Seki, M. Ohtsuka, S. Saitoh, S. Suda, H. Matsuura, K. Yamada, S. Namiki, *et al.*: *J. Lightw. Technol.* **38** (2020) 226.
- 6) Y. Shen, N.C. Harris, S. Skirlo, M. Prabhu, T. Baehr-Jones, M. Hochberg, X. Sun, S. Zhao, H. Larochelle, D. Englund, *et al.*: *Nat. Photon.* **11** (2017) 441.
- 7) Y. Akihama and K. Hane: *Light: Sci. & Appl.* **1** (2012) e16.
- 8) T. Grottko, W. Hartmann, C. Schuck, and W.H. Pernice: *Opt. Express* **29** (2021) 5525.
- 9) S. Matsuo, K. Takeda, T. Sato, M. Notomi, A. Shinya, K. Nozaki, H. Taniyama, K. Hasebe, and T. Kakitsuka: *Opt. Express* **20** (2012) 3773.
- 10) E. Kuramochi, K. Nozaki, A. Shinya, K. Takeda, T. Sato, S. Matsuo, H. Taniyama, H. Sumikura, and M. Notomi: *Nat. Photon.* **8** (2014) 474.
- 11) K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi: *Nat. Photon.* **13** (2019) 454.
- 12) K. Kitayama, M. Notomi, M. Naruse, K. Inoue, S. Kawakami, and A. Uchida: *APL Photon.* **4** (2019) 090901.
- 13) S. Kita, K. Nozaki, K. Takata, A. Shinya, and M. Notomi: *Commun. Phys.* **3** (2020) 1.
- 14) S. Kita, A. Shinya, K. Nozaki, and M. Notomi: *JSAP Meeting* (2019) 11p-W331-2 (in Japanese).
北翔太, 新家昭彦, 野崎謙悟, 納富雅也: 春季応用物理学会 (2019) 11p-W331-2.
- 15) S. Kita, M. Notomi, A. Shinya, K. Nozaki, and K. Takata: *Japanese Patent* (2021) 6915452.
北翔太, 納富雅也, 新家昭彦, 野崎謙悟, 高田健太: 国内特許, 2021年, 6915452号.
- 16) S. Molesky, Z. Lin, A. Y. Piggott, W. Jin, J. Vucković, and A. W. Rodriguez: *Nat. Photon.* **12** (2018) 659.
- 17) A. Agarwal, S. Hsu, S. Mathew, M. Anders, H. Kaul, F. Sheikh, and R. Krishnamurthy: *Proc. ESSCIRC (ESSCIRC)* (2011) 83.
- 18) S. Abdollahi, H. S. Al-Raweshidy, and T. J. Owens: *IET Optoelectronics* **11** (2017) 20.
- 19) S. Kita, G. Cong, K. Nozaki, Y. Maegami, M. Ohno, N. Yamamoto, K. Yamada, A. Shinya, and M. Notomi: *Conf. Lasers and Electro-Optics (CLEO)* (2021) SW3A.3.