

光速データ処理に向けた光電融合集積技術

新家 昭彦

日本電信電話株式会社 NTT 物性科学基礎研究所 (〒 243-0198 神奈川県厚木市森の里若宮 3-1)

Opto-Electronic Integration Technologies toward Light-Speed Data Processing

Akihiko SHINYA

NTT Basic Research Laboratories, NTT corporation 3-1, Morinosato-wakamiya, Atsugi, Kanagawa 243-0198

(Received July 3, 2023)

We review opto-electronic integration technologies for creating a new computing platform with a wide bandwidth and low energy consumption. The development of large-scale silicon photonics circuits and ultra-low energy nanophotonic devices will allow for diverse types of photonic-information processing. This article introduces the technologies for high bandwidth density optical interconnection toward 1 Byte-per-FLOP and presents a path to opto-electronic integrated accelerators that will exceed current digital electronic systems by $>10^2$ in compute density and energy efficiency.

Key Words: Opto-electronic integration, Nanophotonics, Optical analog computing, Optical neural network, Nanophotonic accelerator

1. はじめに

光を用いた情報処理は、80年代から90年代にかけて広く活発に研究され、光の並列性・広帯域特性を利用した超高速演算が期待されていたが¹⁾、CMOSトランジスタの小型・高集積性の進展によるCMOSプロセッサの進歩に太刀打つことができず、研究としては一度すたれてしまった経緯がある。一方で、同時代において、光の広帯域性・並列性のメリットは通信において見いだされ、長距離通信(テレコム)において大成したことはご存じのとおりである。つまり、この時代において、電子は情報処理(computation)、光は通信(communication)の境界で、それぞれの役割分担が明確に分けられたわけである。

それから約30年。近年のフォトニクス技術の進展は目覚ましく、光の活躍の場を、情報処理の領域にまで広げることが可能にしつつある。例えば、演算リソースを複数接続し能力向上を図る分散処理において演算効率を飛躍的に改善するために、光のネットワークを介して高速にリソース間のデータ共有を行うなど²⁾、サーバ間やボード間などの短距離通信(データコム)において、フォトニクスの守備範囲が拡大されつつある。

さらに短距離のチップ間通信(コンピュータコム)の領域は、フォトニクス素子のサイズ・エネルギーコストを勘案すると、現状ではエレクトロニクスの独壇場となる。ただこの領域のエレクトロニクスにおける communication

の進展は computation のそれよりはるかに遅く、システムのパフォーマンスが、入出力(I/O)のバンド幅ボトルネックによってますます制限されてきており、深刻な問題となっている。またチップ内の computation の領域においては、露光技術やトランジスタ構造の進展に伴うチップ内集積数の堅調な伸び・および情報処理の並列化などの工夫により高スループット性の進展は辛うじて維持されているものの、クロック周波数はすでに頭打ちとなっている。これらのエレクトロニクスにおける問題は、情報を伝達する電子が回路の抵抗RとキャパシタンスCに大きく影響されることに起因する。それ故、RやCの影響を受けないフォトニクスにおいて、チップ集積可能なサイズの光素子やCMOSトランジスタにひっ迫するエネルギーコストの光素子の実現³⁻⁹⁾に大きな期待が寄せられている。

本稿では、かつての光コンピューティング研究におけるいくつかの問題点が克服可能な状況を踏まえ、通信と情報処理の境界で線引きされている光と電子の役割分担を再検討し、光通信の延長線上の技術としてコンピューティングにおける光の役割分担について考察する。

2. 電子回路の問題点

ここ50年のマイクロプロセッサのトレンドを見ると、トランジスタの集積数は依然堅調な伸びを示してい

る一方で、2000年代前半よりクロック周波数の伸びがすでに飽和状態にある¹¹⁾。いわゆるRC遅延によるバンド幅の制約によりチップサイズ S_{die} が制限され、かつ、使用できる電力も、Rによる発熱が許容できるパワー密度 D_p の範囲 ($< 1 \text{ W/mm}^2$)¹⁰⁾におさまられているためである。例えば、典型的なサイズ $S_{die} = 100 - 500 \text{ mm}^2$ 程度に対し、 D_p は最大発熱量を示すTDP(Thermal Design Power)を S_{die} で割った値として $0.1 \sim 0.5 \text{ W/mm}^2$ の範囲に設定されている¹¹⁾。

ただこの設定もそろそろ限界に近づいている。例えば、2020年の D_p を 0.1 W/mm^2 に設定し、 S_{die} を 500 mm^2 で固定したまま、単純にムーアの法則に従い2年で2倍のトランジスタ数を集積したときの D_p は、IRDSのロードマップ¹²⁾に則ってトランジスタの消費エネルギーが低下したとしても、2030年近辺で、 1 W/mm^2 を超えてしまう (Fig. 1)。もしトランジスタの応答速度の低減に合わせてクロックを高速化すると、発熱密度が許容量を超えてしまうまでの期間がさらに短くなる。

さらに深刻な問題は、チップ間のデータ転送能力がRC遅延に律速されている点である。計算機の機能をシンプルに表現すると、「メモリからCPUにデータと命令を取り込み、演算結果をメモリに書き戻す」作業を繰り返すことである。ここで、computationとcommunicationの能力比として、メモリとCPU間のデータ転送能力 byte per second (B/s) をCPUの演算能力 floating point operations per second (FLOP/s) で割った値、Byte per FLOP (B/F) を考えてみる。A[i] = B[i] + C[i] ($i = 0 \sim n$) のような計算の場合、それぞれの変数が8バイトとすると、メモリからAとBのデータを取り込み(16 byte load)、A + Bを計算し(1 FLOP)、Cをメモリに書き戻す(8 byte store)。この一連の作業を繰り返す際に、メモリ転送が演算に間に合うために必要なB/Fは24である。メモリとCPUの間のデータ転送能力向上のため、エレクトロニクスにおいては、ピン数を増やし、I/O専用の領域を拡大し、コンポーネント間の距離を短縮するなどの工夫はなされているものの、その進展はCPUの計算能力のそれに比べてはるかに遅く¹³⁾、B/Fの値は年々小さくなる傾向にある

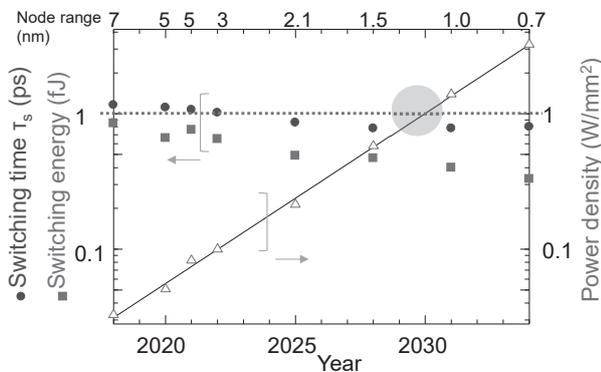


Fig. 1 CMOS transistor trend data.

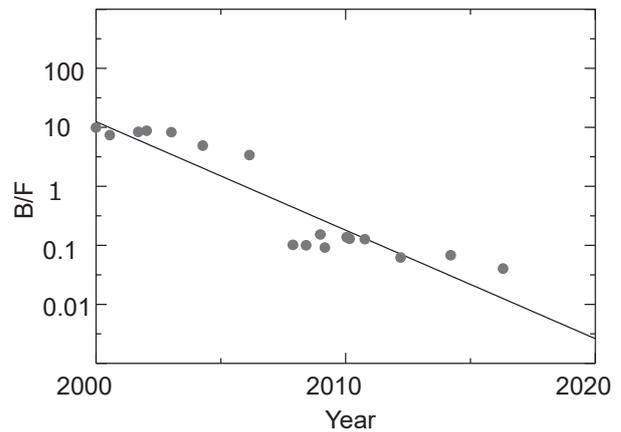


Fig. 2 Byte/FLOP of GPU-DRAM interconnection.

(Fig. 2)。近年の典型的な値は $0.01 \sim 0.1$ 程度であり、1回の演算のためのメモリ転送時間が、約100回分の計算に相当する。つまり単純に簡単な計算を繰り返すだけだと、CPUのピーク性能の数%しか出せず、現状ではほとんどの時間でCPUを遊ばせていることになる。もちろん待ち時間に他の演算処理を行うなどの工夫はなされているが、年々減少するB/Fに対応するためにはアルゴリズムも更新しなければならずソフトウェア的に運用の難しいハードウェアとなってしまっている。理想的には $B/F=1$ 程度が望ましいとされているが、現状はそれから程遠いものとなっている。

これらの問題に対し、チップレットや3次元実装技術が近年注目を集めている¹²⁾。回路を意図的に複数ダイ(チップレット)に分割し、3次的に組み合わせることで、回路の面積化・複雑化にともなう歩留まりの悪化を抑制しつつ、コンポーネント間の距離を短縮かつレーン数を増やすことでI/Oバンド幅を拡大することができる。このような実装によるコスト削減・省電力化の技術はコンピューティングの課題における一つの突破口となる。ただし、電子回路の技術だけでは、根本的に発熱の問題を抱えていることになり、熱密度の問題を直接的に解消するものではない。

そこで以降では、電子の代わりに光を用いて情報を伝達・演算する形態について考察し、 $D_p < 1 \text{ W/mm}^2$ 、 $S_{die} <$

Table 1 Typical specs for GPU and TPU.

	Computation ¹¹⁾	Communication ^{11,13,14)}
Band width OPS, $B_{I/O}$	100 TOPs/s	10 Tbit/s (1 TB/s)
Power density D_p	0.4 W/mm ²	0.1 ~ 1 W/mm ²
Die size S_{die}	500 mm ²	100 mm ²
Energy cost $E_{OP}, E_{I/O}$	2 pJ/OP	1 ~ 10 pJ/bit
Band width density $D_{OP}, D_{I/O}$	200 GOPs/s/mm ²	100 Gbit/s/mm ²

¹¹⁾ <https://github.com/karlrupp/microprocessor-trend-data>

¹²⁾ <https://www.uciexpress.org/>

数 100 mm^2 , $B/F \sim 1$ の制約の中, Table 1 に示される性能指標の 2 桁改善の可能性について議論する.

3. バンド幅ボトルネックへの挑戦

$B/F = 1$ とターゲットとし, $S_{\text{die}} = 100 \text{ mm}^2$ ¹³⁾, $D_p < 1 \text{ W/mm}^2$ の制約のもと, 100 倍の $B_{\text{I/O}}$ を目指そうとすると, $D_{\text{I/O}} \sim 10 \text{ Tbit/s/mm}^2$, $E_{\text{bit}} < 100 \text{ fJ/bit}$ の条件が要求される. 現在のシリコンフォトニクス技術(Si-Ph)はこれらの要求にぎりぎり届くレベルであり, それゆえ, Si-Ph を用いた光 I/O 技術が積極的に研究されている¹³⁾. ただし, 将来の演算バンド幅の進展を勘案すると, さらなる小型化・小エネルギーコスト化が必要になる.

そこで我々が着目している技術が, フォトニック結晶である. フォトニック結晶とは, 半導体薄膜に光の波長の周期性を持った空孔を設けた構造であり, これまで困難であった波長サイズの光閉じ込めを実現し, デバイスのサイズとエネルギー消費を数桁削減可能な技術である. 我々は, フォトニック結晶に埋め込みヘテロ構造を導入することで, 波長サイズの共振器内に超小型の活性媒質を埋め込んだフォトニック結晶レーザー^{4,5)}, 受光器^{6,7)}, 変調器^{8,9)}の実現に成功している(Fig. 3). これらのデバイスのサイズは数ミクロン四方と小さく, $B_{\text{I/O}} = 10 \text{ Gbit/s}$ で駆動させれば $D_{\text{I/O}} = 200 \text{ Tbit/s/mm}^2$ を見込むことができる. また E_{bit} は fJ/ビット以下のオーダーであり, Si-Ph に比べて 2 桁以上小さい. さらにこれらの素子はその小ささ故, 電気的な静電容量(C)が非常に小さい. 従来のフォトニックデバイスの C は数百 fF 程度であるが, フォトニック結晶ベースのデバイスは, 従来のものよりも 2 桁小さく, CMOS トランジスタと同レベルの領域にある.

ここまで C が小さくなると, これまでとは異なる光電融合形態が可能となる. ここで受光器の構成を考えてみ

たい. 受光器によって光信号から変換された電気信号の電流は極めて微弱なため, CMOS ゲートを駆動するために Transimpedance amplifier(TIA)を介して大きな電圧信号に変換しなければならず, この消費電力の大きさが, 光インターコネクタにおける大きな問題となっている. 我々はこの問題に対し, 高負荷抵抗(R)による電流電圧変換を提案している. 極低 C 特性を活かせば, 素子の RC 遅延を小さく抑えながら, 高 R を使って大きな電圧を生成することが可能であるため, フォトニック結晶技術が光インターコネクタにうまく導入されれば, TIA を負荷抵抗で代替することが可能となり, Si-Ph における光 I/O の回路構成を大幅に簡素化し, 回路サイズとエネルギー消費量の 2 桁削減を見込むことができる.

つまり, $1B/F$ をターゲットとして, Si-Ph により 100 倍の $B_{\text{I/O}}$, $1/100$ 倍の E_{bit} を実現し, ナノフォトニクスによりさらに 100 倍の $D_{\text{I/O}}$ を将来に向けて準備できる可能性が出てくることになる.

4. さらなる演算処理能力向上への挑戦 —光電融合アクセラレータの実現に向けて—

これまでの議論より, $1B/F$ をターゲットとしても, 要求される $B_{\text{I/O}}$ に 100 倍の余裕がでてくる可能性が見えてきた. そこで, 100 倍の FLOPS(OPS), つまり $D_{\text{OP}} = 20 \text{ TOPs/mm}^2$, $E_{\text{OP}} = 20 \text{ fJ/OP}$ の可能性について考察する.

ここで GPU や TPU での演算の大半を占めている積和演算(multiply-accumulate operation: MAC)をクロスバースイッチによるアナログ処理で実現する構成を考えてみる¹⁵⁻¹⁸⁾. 2 入力 2 出力のクロスバースイッチは, 2 つの入力値に対して任意の重みをつけて 2 つの値を出力し, この演算は 2 次元入力ベクトルと 2×2 重み行列のベクトル行列積に相当する. クロスバースイッチを組み合わせて N 入力 N 出力のネットワーク回路を構成すると, N 次元ベクトルと $N \times N$ 行列のベクトル行列積となる. この中の演算には $N \times N$ 個の MAC 演算が含まれ, 1MAC あたり積と和を合わせた 2 OPs が実行される.

このようなクロスバースイッチのネットワーク回路は光素子でも構成可能であり, クロスバースイッチをユニットセルとする光素子を Mach-Zehnder interferometer やリング共振器の組み合わせで実現できる. ここで特筆すべきは, 光ネットワーク回路における演算遅延が光路長で決定される点にある. つまり, 光の速さでのベクトル行列積演算が可能であり, RC 遅延によるチップサイズの制約もない. また, アナログ演算であることが光の情報密度を最大限に活かすことを可能とするため, 本構成は集積度の比較的低い光デバイスでも高い処理性能を発揮し, MAC 処理が演算の大半を占めるニューラルネットワークでの活躍が期待できる. 一方で, アナログ演算であるがゆえに演算精度が重要な課題となるが, ニューラルネットワークに代表される Approximate Computing は, ある程度の精度劣化を許容するため, 親和性の高い応用例であるといえる.

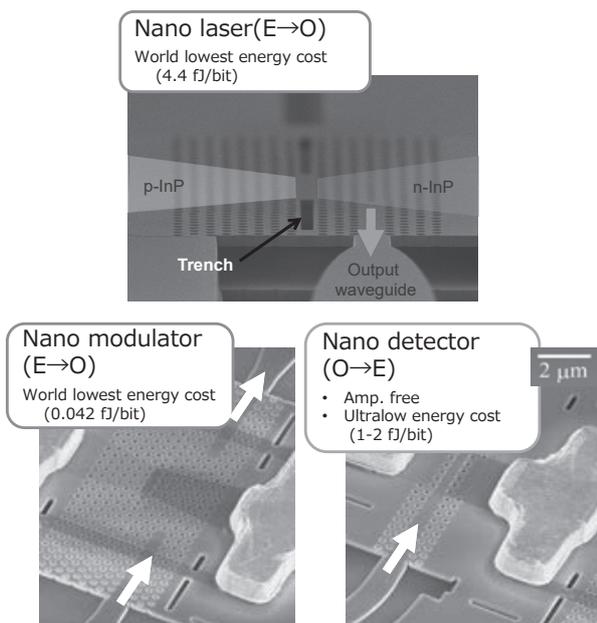


Fig. 3 Photonic-crystal-based devices.

最後に、演算精度と消費電力の関係について示す。例えば Fig. 4 において、1つの光源 P_{in} (W) から N 分岐されたそれぞれの信号が、 E_{EOM} (J) で駆動する変調器を通過後、1個あたり E_{CB} (J) で駆動する N_{CB} 個のクロスバースイッチで構成される光ネットワーク回路に入力され、 E_{PD} (J) で駆動する受光器にて responsivity R_e (A/W) で電気に変換されるとする。またすべての経路は N_{pass} 個のクロスバースイッチを通過するように構成されており、クロスバースイッチのロス α (dB) とする。さらに一つのポートからの出力が最大となるケース、つまりすべての光出力が一つのポートに集約された時の光パワー P_{out} に合わせて、パワー検出のビット数 N_{bit} を設定する。このときの SN 比 SNR、出力光パワー P_{out} (W)、入力光パワー P_{in} (W)、および演算密度 D_{OP} (OPs/s/mm²)、演算エネルギーコスト E_{OP} (J/OP) は、それぞれ下記の式となる。また、これまでに使用した各種パラメータを含め、Table 2 に整理する。

$$SNR = I^2 / \sigma^2 = 2^{N_{bit}} \quad (1)$$

$$P_{out} = I / R_e = P_{in} \times 10^{-\alpha N_{pass} / 10} \quad (2)$$

$$D_{OP} = 2N^2 f_s / S_{die} \quad (3)$$

$$E_{OP} = (P_{in} / f_s + 0.5 E_{CB} N_{pass} N + E_{EOM} N + E_{PD} N) / (2N^2) \quad (4)$$

ここで SNR は受光器で生成される光電流 I の 2 乗とノイズの分散 σ^2 の比であり^{19,20}、その下限値は通信方式に依存するが、ここでは簡単のため $SNR = 2^{N_{bit}}$ ^{15,18} とし、TPU の推論で使われる $N_{bit} = 8$ bit を基準とする。 $R_e = 1$ (A/W) のバイアスフリー・高感度・低ノイズ・フォトニック結晶受光器を想定し⁷、受光器のキャパシタンスを 1 fF 程度、バンド幅を入力光のサンプリング周波数程度とすると、最低限の SNR を確保するには $P_{out} = 4 \mu\text{W}$ 程度が必要となる。 P_{in} はクロスバースイッチのロス α dB を加味したパワーに設定される必要があるが、一方で、チップ集積に耐えうるパワーにおさめておく必要もある。例えば、 $N = 500$ 、 $N_{pass} = 2N$ の回路¹⁶で $P_{in} < 1$ W の制約を課した場合、許容されるロスは $\alpha \sim 0.05$ dB 程度となる。もしこの条件が満足されれば、(4)式において入力光の E_{OP} への貢献が N^2 に反比例することから、ターゲットの 20 fJ/OP に比べ、 < 1 fJ/OP と極めて小さくなる。ま

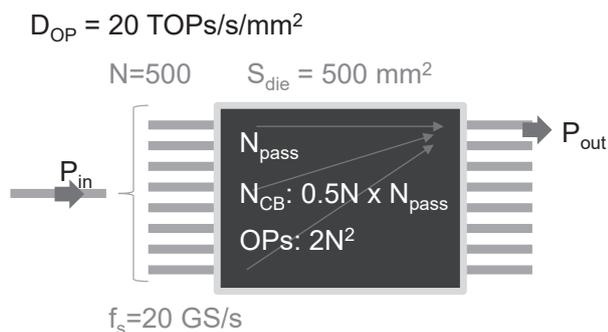


Fig. 4 Photonic circuit using crossbar network.

た変調器・受光器の E_{OP} への寄与はさらに小さく、 $E_{EOM} = E_{PD} = 1$ pJ 程度と大きめに設定したとしても、 $\ll 1$ fJ/OP となる。一方、 E_{OP} に最も影響を与えるのは E_{CB} である。 $E_{OP} = 20$ fJ/OP の実現のためには、 $E_{CB} < 40$ fJ が求められる。

Fig. 4 に示される構成は、 N の数を確保できれば、基本的には光を通すだけでかなりの演算密度を実現できる。例えば、 $S_{die} = 500$ mm² に $N = 500$ の光ネットワーク回路を構成できれば、それぞれの入力ポートに $f_s = 20$ GS/s の光信号を入力するだけで、光速での MAC 演算を実行し、典型的な GPU/TPU の 100 倍の演算速度 OPS = 10 POPs/s と演算密度 $D_{OP} = 20$ TOPs/s/mm² を達成できる。そのため、重み行列を可変にしなくてもよいような演算、つまり、 α および E_{CB} をゼロに近づけられるような構成において威力を発揮し、上述の考察より、aJ/OP 領域の極めて高効率な演算を期待することができる。

一方で、重み行列を可変とするために、クロスバースイッチを、低エネルギー < 40 fJ、低ロス < 0.05 dB で高速に

Table 2 Definitions of mathematical symbols.

TDP	W	Thermal Design Power
S_{die}	mm ²	Die size
FLOPS	FLOPs/s	Compute band width (floating point operations per second)
OPS	OPs/s	Compute band width (Operations per second)
N		Number of channels
N_{CB}		Number of crossbar switches
MACs		Number of multiply accumulate operations MACs = N^2
OPs		Number of operations 1 MAC = 2 OPs
$B_{I/O}$	bit/s	I/O Band width (bit per second)
B/F	B/F	$B_{I/O} / \text{FLOPS}$
D_p	W/mm ²	Power density
$D_{I/O}$	bit/s/mm ²	Band width density
D_{OP}	OPs/s/mm ²	Computation density
E_{bit}	J/bit	Communication energy cost
E_{OP}	J/OP	Computation energy cost
E_{EOM}	J	Energy cost of electro-optic modulator
E_{PD}	J	Energy cost of photodetector
E_{CB}	J	Energy cost of crossbar switch
P_{in}	W	Optical input power
P_{out}	W	Optical output power
α	dB	Optical loss in crossbar switch
I	A	Photo current $I = R_e P_{out}$
σ^2	A ²	Variance of noise: $\sigma^2 = \sigma_s^2 + \sigma_t^2 + \dots$ Shot noise: $\sigma_s^2 = 2 q I \Delta f$ Thermal noise: $\sigma_t^2 = 4 k_B T \Delta f / R$
Δf	Hz	Band width of photodetector
f_s	Hz	Sampling frequency
R_e	A/W	Responsivity of photodetector $R_e = \eta q / h \omega$
N_{bit}	bit	Bit precision

駆動することはかなりチャレンジングな課題であるといえる。これらのパラメータは N_{pass} に関連しているため、重み行列の表現力を多少犠牲にして N_{pass} を小さくする¹⁷⁾、などの工夫が必須であるが、画期的なクロスバースイッチが実現できれば、活躍の範囲を大幅に広げることができる。

5. まとめ

RC 遅延を小さく抑えるために狭められたチップサイズ(数 100mm^2)と、R による発熱の許容範囲に抑えられたパワー密度(W/mm^2)の制約を受け、演算性能が I/O バンド幅の進展の遅さに足を引っ張られる電子演算回路の現状を打開すべく、情報処理の領域への光技術の導入について検討を行った。

GPU-メモリ間の I/O バンド幅の拡張においては、ナノフォトニクスの低キャパシタンス光電集積について検討を行い、アンプレスレシーバーが $B/F=1$ をターゲットとしたうえで、さらに将来の 10~100 倍の演算バンド幅の進展にも対応可能な技術であることを示した。

この結果を受け、将来的に 100 倍の演算バンド幅を拡張すべく、近年 AI の領域で活躍する GPU や TPU といった積和演算に特化した演算を比較対象として、クロスバースイッチの組み合わせで構成される光ネットワークを用いたアナログ積和演算器について検討を行った。重み行列を更新しないタイプの演算では、エネルギーコストが pJ オーダーの送受信器を用いても、100 倍の演算帯域密度を達成しつつ、1 演算あたりアトジュールオーダーの超低エネルギーコストでの演算を実現できる可能性があることを示した。また重み行列を更新するタイプの演算においては、数 10 fJ および 0.1 dB 以下の低エネルギー・低ロス駆動が求められ、かなりチャレンジングなテーマであるが、クロスバースイッチの駆動電力を小さくすることのほかに、光が通過するクロスバースイッチの数をいかに少なくできるかがポイントとなることを示した。

このような、基本的には光を伝搬させるだけで、光速での演算を実行する構成は、光信号の伝搬における広帯

域性・低遅延性・低消費電力性を演算に活用し、チップサイズにとらわれない演算を実現する可能性がある。今後このような新しい原理による演算手法が一步一步進展し、新しいコンピューティングの扉を開いていくことを期待している。

参考文献

- 1) J. W. Goodman: *Introduction to Fourier Optics* (McGraw-Hill, New York, 1996).
- 2) A. Okada, S. Kihara, and Y. Okazaki: NTT Technical Review **19** (2021) 52.
- 3) M. Notomi, K. Nozaki, A. Shinya, S. Matsuo, and E. Kuramochi: Opt. Commun **314** (2014) 3.
- 4) K. Takeda, T. Sato, A. Shinya, K. Nozaki, W. Kobayashi, H. Taniyama, M. Notomi, K. Hasebe, T. Kakitsuka, and S. Matsuo: Nat. Photonics **7** (2013) 569.
- 5) K. Takeda, T. Sato, T. Fujii, E. Kuramochi, M. Notomi, K. Hasebe, T. Kakitsuka, and S. Matsuo: Opt. Express **23** (2015) 702.
- 6) K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, M. Ono, A. Shakoor, E. Kuramochi, and M. Notomi: Optica **3** (2016) 483.
- 7) K. Nozaki, S. Matsuo, A. Shinya, and M. Notomi: IEEE J. Sel. Top. Quantum Electron. **24** (2018) 4900111.
- 8) K. Nozaki, S. Matsuo, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi: Nat. Photonics **13** (2019) 454.
- 9) K. Nozaki, A. Shakoor, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi: APL PHOTONICS **2** (2017) 056105.
- 10) F. J. Pollack: *Proc. 32nd annual ACM/IEEE international symposium on Microarchitecture* (1999) 2.
- 11) N. P. Jouppi: *ACM/IEEE 48th Annual International Symposium on Computer Architecture* (2021) 13.
- 12) THE INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS (2018-2021).
- 13) L. Alloatti: J. Light. Technol. **35** (2017) 1168.
- 14) M. O'Connor: Memory Forum Workshop June 2014.
- 15) S. Agarwal, T. Quach, O. Parekh, A. H. Hsia, E. P. DeBenedictis, C. D. James, M. J. Marinella, and J. B. Aimon: Front. Neurosci. **9** (2016) 484.
- 16) Y. Shen, N. C. Harris, S. Skirlo, M. Prabhu, T. Baehr-Jones, M. Hochberg, X. Sun, S. Zhao, H. Larochelle, D. Englund, et al.: Nat. Photonics **11** (2017) 441.
- 17) L. Jing: *ICML'17: Proc. 34th International Conference on Machine Learning* **70** (2017) 1733.
- 18) M. A. Nahmias: IEEE J. Sel. Top. Quantum Electron. **26** (2020) 7701518.
- 19) D. M. Baney: Opt. Fiber Technol. **6** (2000) 122.
- 20) A. Yariv: Opt. Lett. **15** (1990) 1064.